

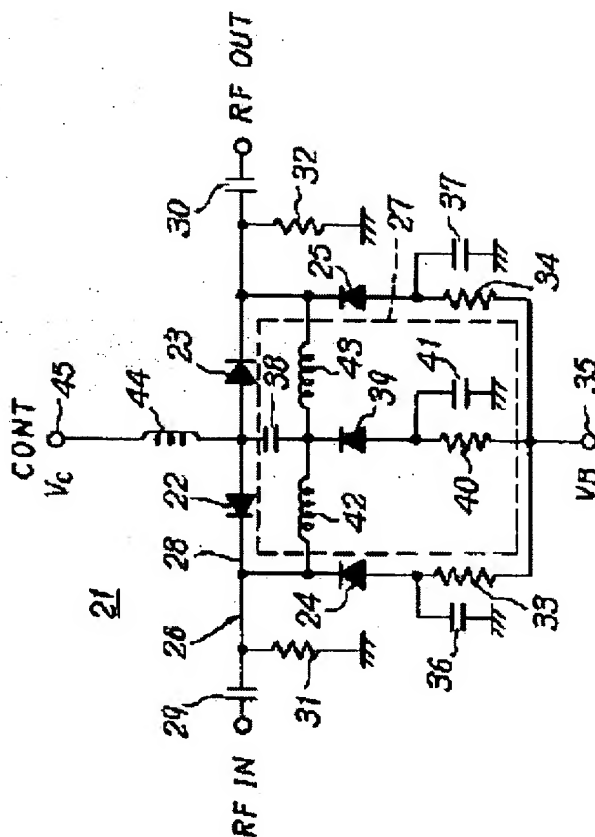
ATTENUATOR

Patent number: JP2000286659
Publication date: 2000-10-13
Inventor: KAWAMURA MASAOKI; SUZUKI TOSHIYA
Applicant: TOSHIBA LIGHTING & TECHNOLOGY
Classification:
 - International: **H03H7/25; H03H11/24; H03H7/24; H03H11/02; (IPC1-7): H03H7/25; H03H11/24**
 - european:
Application number: JP19990090869 19990331
Priority number(s): JP19990090869 19990331

Report a data error here

Abstract of JP2000286659

PROBLEM TO BE SOLVED: To provide an attenuator which can increase its maximum attenuation without increasing its insertion loss by controlling the voltage or current applied to every high frequency variable resistance element for controlling the internal resistance of the resistance element and then controlling the attenuation of signals passing through a signal line. **SOLUTION:** An attenuator 21 includes an attenuation circuit 27 having a 5th PIN diode 39 which is added to a α-shaped circuit 26 having the 1st-4th PIN diodes 22-25. In such a constitution, the control voltage V_c to be applied to the diodes 22-25 and 39 is continuously controlled when the DC bias voltage of a constant level is applied to these diodes from a bias power unit 35. Thus, the internal resistance of each of diodes 22-25 and 39 is continuously controlled. As a result, the high frequency input signals of the microwaves, etc. which are inputted to the input terminal of a signal line 28 are continuously attenuated and outputted from the output terminal of the line 28. In such a way, the flat frequency characteristics of attenuation is enhanced.



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286659

(P2000-286659A)

(43) 公開日 平成12年10月13日 (2000.10.13)

(51) Int. Cl.

H03H 7/25
11/24

特許庁

P I

H03H 7/25
11/24

特許庁 (参考)

5J026
B 5J098

審査請求 未請求 請求項の枚数 01 (全 7 頁)

(21) 出願番号

特願平11-90689

(22) 出願日

平成11年3月31日 (1999.3.31)

(71) 出願人 000003757

東芝ライテック株式会社

東京都品川区東品川四丁目3番1号

(72) 発明者 川村 雅明

東京都品川区東品川四丁目3番1号 東芝

ライテック株式会社内

(72) 発明者 鈴木 俊也

東京都品川区東品川四丁目3番1号 東芝

ライテック株式会社内

(74) 代理人 100078765

弁護士 波多野 久 (外1名)

Fターム (参考) 5J026 AA03 AA12

5J098 AA03 AA11 AA14 AC05 AC14

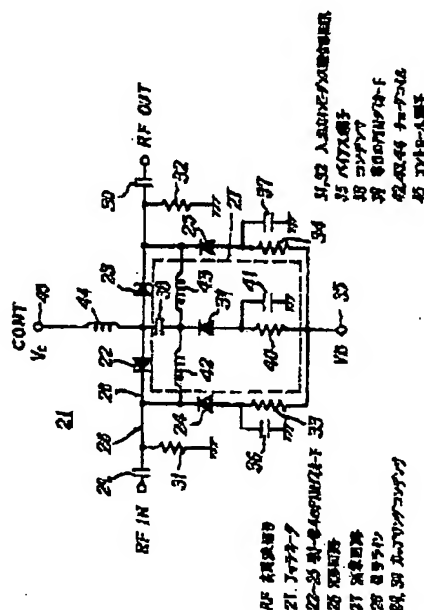
AC21 AD17 EA01

(54) 【発明の名称】 アッテネータ

(57) 【要約】

【課題】 挿入損失を増大させずに最大減衰量を増大させる。

【解決手段】 信号ライン28に、第1、第2のPINダイオード23、23を直列に挿入する一方、この直列回路の入力側と出力側において第3、第4のPINダイオード24、25をシャント状にそれぞれ接続してなるπ形回路26と；第1、第2のPINダイオード23、23同士の間にてコンデンサ38を介して第5のPINダイオード39を接続して接地する減衰回路27と；各PINダイオード22～25、39を駆動する電源装置のバイアス端子35と；制御用電源装置のコントロール端子45と；を具備している。



(2)

特開2000-288659

1

【特許請求の範囲】

【請求項1】 信号路に、一対の高周波用可変抵抗素子を直列に挿入する一方、この高周波用可変抵抗素子直列回路の入力側と出力側とにおいて高周波用可変抵抗素子をシャント状にそれぞれ接続してなる π 形回路と；直列に挿入された一対の高周波用可変抵抗素子同士の間にてキャパシタを介して高周波用可変抵抗素子を接続して接地する減衰回路と；各高周波用可変抵抗素子を駆動する駆動手段と；各高周波用可変抵抗素子に印加する電圧または電流を制御してこれら高周波用可変抵抗素子の内部抵抗を制御することにより信号路を通る信号の減衰量を制御する制御手段と；を具備していることを特徴とするアッテネータ。

【請求項2】 減衰回路におけるキャパシタと高周波用可変抵抗素子との間を、インダクタをそれぞれ介して各シャント状接続の高周波用可変抵抗素子のカソード側にそれぞれ接続していることを特徴とする請求項1記載のアッテネータ。

【請求項3】 減衰回路におけるキャパシタと高周波用可変抵抗素子との間を、インダクタと抵抗を介して接地していることを特徴とする請求項1記載のアッテネータ。

【請求項4】 減衰回路のキャパシタの容量は、入力信号の減衰量の周波数特性を改善する値に設定されていることを特徴とする請求項1ないし3のいずれか一に記載のアッテネータ。

【請求項5】 高周波用可変抵抗素子が、PINダイオード、MESFET、JFETのいずれかであることを特徴とする請求項1ないし4のいずれか一に記載のアッテネータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話機等の移動体通信機器やその他の高周波、マイクロ波帯電気機器等に好適な高周波用非共振 π 形アッテネータ等のアッテネータに関する。

【0002】

【従来の技術】一般に、携帯電話機等の移動体通信機器やその他の高周波、マイクロ波帯電気機器等では信号分岐やアンテナ切替え等のためにアッテネータが使用されるが、この種の従来のアッテネータの一例としては図8に示す非共振 π 形アッテネータ1がある。

【0003】この非共振 π 形アッテネータ1はマイクロ波等高周波信号RFが入力される入力端INと出力端OUTとを結ぶ信号ライン2の途中に、図中左右一対の高周波用可変抵抗素子である第1、第2のPINダイオード3、4を直列に挿入する一方、これらPINダイオード3、4のカソード側に左右一対の第3、第4PINダイオード5、6のカソードをシャント状に接続し、これら第3、第4のPINダイオード5、6のアノード側

を各バイパスコンデンサ7、8を介して接地している。

【0004】また、これら第3、第4のPINダイオード5、6のアノード側には分圧抵抗9、10を介して駆動手段であるバイパス電源装置のバイパス端子11を接続して、各PINダイオード3、4、5、6に一定の直流電圧を印加し駆動する一方、第1、第2のPINダイオード3、4のアノード側に高周波成分遮断用のチョークコイル12を介して制御手段である制御用電源装置のコントロール端子13を接続し、各PINダイオード3～6に印加される制御用直流電圧を制御することにより、これらPINダイオード3～6の内部抵抗を制御して信号ライン2を通る信号を適宜減衰するようにしている。なお、図8中、14、15は入、出力側インピーダンス整合用の抵抗である。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の π 形アッテネータ1では、その最大減衰量がPINダイオード3～6等の高周波用可変抵抗素子の最大内部等価抵抗と等価電極間容量により制限される。

【0006】このために、最大減衰量を増大するためには、同構成の π 形アッテネータ1の複数を連続接続するか、あるいは少なくとも、信号ライン2に直列に挿入したPINダイオード3、4の直列挿入数を増やす方法がある。

【0007】しかし、この方法では最小減衰時の挿入損失がほぼ連続数に比例して増大するという課題がある。また、高周波領域に行くほど減衰量が小さくなるという周波数特性を有し、周波数特性が必ずしも良好ではないという課題がある。

【0008】本発明はこのような事情を考慮してなされたもので、その目的は、挿入損失を増大させずに最大減衰量を増大させることができるアッテネータを提供することにある。

【0009】また、本発明の他の目的は、減衰量の周波数特性を改善することにある。

【0010】

【課題を解決するための手段】請求項1の発明は、信号路に、一対の高周波用可変抵抗素子を直列に挿入する一方、この高周波用可変抵抗素子直列回路の入力側と出力側とにおいて高周波用可変抵抗素子をシャント状にそれぞれ接続してなる π 形回路と；直列に挿入された一対の高周波用可変抵抗素子同士の間にてキャパシタを介して高周波用可変抵抗素子を接続して接地する減衰回路と；各高周波用可変抵抗素子を駆動する駆動手段と；各高周波用可変抵抗素子に印加する電圧または電流を制御してこれら高周波用可変抵抗素子の内部抵抗を制御することにより信号路を通る信号の減衰量を制御する制御手段と；を具備していることを特徴とするアッテネータである。

【0011】この発明によれば、制御手段により各高周

50

(3)

特開2000-286658

3

波用可変抵抗素子に印加される電圧または電流を連続的に制御すると、これら高周波用可変抵抗素子の内部抵抗が連続的に制御されるので、信号路を通る入力信号の減衰量が連続的に制御される。そして、信号路の入力端に入力された信号は、 π 形回路の高周波用可変抵抗素子により減衰されるうに、減衰回路の高周波用可変抵抗素子によっても減衰されるので、最大減衰量を増大させることができる。

【0012】しかも、減衰回路の高周波用可変抵抗素子は信号路にシャント状に接続され、直列には挿入されていないので、挿入損失の増大を抑制することができる。

【0013】さらに、この減衰回路側のインピーダンスは π 形回路の高周波用可変抵抗素子直列回路側のインピーダンスよりも低いので、高周波的には殆ど無視することができる。このために、入出力のインピーダンス整合に影響を与えることが殆どない。

【0014】請求項2の発明は、減衰回路におけるキャパシタと高周波用可変抵抗素子との間を、インダクタをそれぞれ介して各シャント状接続の高周波用可変抵抗素子のカソード側にそれぞれ接続していることを特徴とする請求項1記載のアッテネータである。

【0015】この発明によれば、請求項1の発明の作用効果に加えて、 π 形回路の高周波用可変抵抗素子直列回路側に対して並列になるようにインダクタをシャント状高周波用可変抵抗素子側に接続しているので、入力信号の高周波信号成分がシャント側高周波用可変抵抗素子側にリークするのをインダクタにより防止ないし低減することができる。

【0016】請求項3の発明は、減衰回路におけるキャパシタと高周波用可変抵抗素子との間を、インダクタと抵抗を介して接地していることを特徴とする請求項1記載のアッテネータである。

【0017】この発明によれば、請求項1記載の発明の作用効果に加えて、インダクタにより入力信号の高周波信号成分のリークを防止ないし低減できるうに、このインダクタは信号路に直列に挿入されていないので、挿入損失が増大するのを防止ないし低減できるうに、このインダクタは1個でよいので、コスト低減を図ることができる。

【0018】請求項4の発明は、減衰回路のキャパシタの容量は、入力信号の減衰量の周波数特性を改善する値に設定されていることを特徴とする請求項1ないし3のいずれかーに記載のアッテネータである。

【0018】この発明によれば、請求項1ないし3のいずれかの発明の作用効果に加えて、減衰回路のキャパシタの容量を入力信号の減衰量の周波数特性を改善する小さい値に設定しているので、この減衰量の周波数特性を改善することができる。

【0020】請求項5の発明は、高周波用可変抵抗素子が、PINダイオード、MESFET、JFETのい

4

れかであることを特徴とする請求項1ないし4のいずれかーに記載のアッテネータである。ここで、MESFETとはMetal Semiconductor FET、JFETとはJoint FETをいう。

【0021】この発明によれば、上記請求項1ないし4のいずれかーの発明と同様の作用効果を奏することができる。

【0022】

【発明の実施の形態】以下、本発明の実施形態を図1～図5に基づいて説明する。なお、これらの図中、同一または相当部分には同一符号を付している。

【0023】図1は本発明の一実施形態に係るアッテネータ21の電子回路図である。このアッテネータ21は高周波用可変抵抗素子である4個のPINダイオード22、23、24、25を π 形に接続してなる π 形回路26に、図中破線で示す減衰回路27を追加することにより、等価的に π 形アッテネータ回路内部に二次的なT形アッテネータ回路を付加した点に特徴がある。

【0024】すなわち、 π 形回路26は、マイクロ波等高周波信号RFが入力される入力端INと出力端OUTとを結ぶ信号ライン28の途中に、第1、第2のPINダイオード22、23を、そのアノード同士が対向する状態で直列に挿入して高周波用可変抵抗素子直列回路を構成している。

【0025】そして、この信号ライン28には、第1のPINダイオード22のカソードと入力端INとの間にて入力側カップリングコンデンサ29を直列に挿入する一方、第2のPINダイオード23のカソードと出力端OUTとの間にて出力側カップリングコンデンサ30を直列に挿入している。

【0026】さらに、信号ライン28には、入力側カップリングコンデンサ29と第1のPINダイオード22のカソードとの間にて、第3のPINダイオード24のカソード側をシャント状に接続する一方、この第3のPINダイオード24と入力側カップリングコンデンサ29との間にて入力側インピーダンス整合用の抵抗31をシャント状に接続し、この入力側抵抗31の一端を接地している。

【0027】また、信号ライン28には、出力側カップリングコンデンサ30と第2のPINダイオード23のカソードとの間にて、第4のPINダイオード25のカソード側をシャント状に接続する一方、この第4のPINダイオード25と出力側カップリングコンデンサ30との間にて出力側インピーダンス整合用の抵抗32をシャント状に接続し、この出力側抵抗32の一端を接地している。

【0028】そして、第3、第4のPINダイオード24、25の各アノード側を抵抗33、34をそれぞれ介して駆動手段であるバイアス電源装置のバイアス端子35に接続している。

(4)

特開2000-286859

5

【0029】さらに、抵抗33と第3のPINダイオード24のアノード側との間には、接地されたバイパスコンデンサ36を接続する一方、抵抗34と第4のPINダイオード25のアノード側との間には、接地されたバイパスコンデンサ37を接続している。

【0030】一方、減衰回路27は、信号ライン28の第1、第2のPINダイオード22、23のアノード同士を接続する中間部に、コンデンサ38と第5のPINダイオード39と抵抗40の直列回路を接続し、この抵抗40の他端をバイアス電源装置35に接続し、バイアス電圧V_bを各PINダイオード22~25、39に印加することにより、これらを駆動するようになっている。この抵抗40と第5のPINダイオード39の間には、接地されたバイパスコンデンサ41を接続している。上記コンデンサ38の容量は入力信号RFの減衰量の周波数特性が改善される小さい値に設定されている。

【0031】また、第5のPINダイオード39のカソードとコンデンサ38との間には、第1、第2のチョークコイル42、43をそれぞれシャント状に接続し、これらチョークコイル42、43の他端を第3、第4のPINダイオード24、25の各カソード側にそれぞれ接続している。

【0032】そして、信号ライン28には、第1、第2のPINダイオード22、23の間にて、第3のチョークコイル44を介して制御手段である制御用電源装置のコントロール端子45を接続して、制御電圧V_cを各PINダイオード22~25、39に印加し、これらの内部抵抗を連続的に制御するようになっている。

【0033】すなわち、このアッテネータ21は、第1~第4のPINダイオード22~25を備えた π 形回路26に、第5のPINダイオード39を備えた減衰回路27を付加することにより、等価的には信号ライン28に直列挿入の高周波用抵抗素子を置き換えることなしに、 π 形アッテネータ回路の内部に副次的なT形アッテネータ回路を付加した構成になっている。

【0034】したがって、バイアス電源装置35から一定の直流バイアス電圧V_bを各PINダイオード22~25、39に印加して駆動した状態において、これら各PINダイオード22~25、39に印加される制御電圧V_cを連続的に制御すると、各PINダイオード22~25、39の内部抵抗が連続的に制御されるので、信号ライン28の入力端I_Nに入力されたマイクロ波等の高周波入力信号が連続的に減衰されて出力端O_UTから出力される。

【0035】すなわち、制御電圧V_cを連続的に高くして行くと、直列挿入側の第1、第2のPINダイオード22、23の内部抵抗が連続的に高くなる一方、シャント側の第3、第4のPINダイオード24、25および減衰回路27の第5のPINダイオード39の内部抵抗が連続的に低下して行くので、入力端I_Nに入力された

6

マイクロ波等高周波入力信号RFの減衰量も連続的に増大して行く。

【0036】つまり、図1で示す従来の π 形アッテネータ1にほぼ相当する π 形回路28により入力信号を減衰することができるうえに、副次的なT形アッテネータ回路の一部を構成する減衰回路27によっても二重に入力信号を減衰できるので、最大減衰量を増大させることができる。

【0037】しかも、減衰回路27は第1、第2のPINダイオード22、23の直列回路部分のインピーダンスよりも低いので、高周波上は無視でき、入出力のインピーダンスの整合に悪影響を与えることが殆どない。

【0038】そして、この第5のPINダイオード39は信号ライン28に直列に挿入されておらず、シャント状に接続されているので、挿入損失の増大を抑制することができる。

【0039】また、減衰回路27のコンデンサ38の容量を周波数特性が改善される小さい値に設定しているので、その減衰量の周波数特性を改善することができる。

【0040】すなわち、図2の曲線Aに示すように従来の非共振 π 形可変アッテネータ1（図8参照）では、一般に高周波数域に行くに従って減衰量が小さくなり、周波数特性の平坦性が低下する。また、減衰回路27のコンデンサ38の容量を大きな値に設定する場合には、曲線Bに示すようにほぼ全周波数域に亘って減衰量を増大させることができるが、その減衰量の周波数特性の平坦性は殆ど改善されず、曲線Aと殆ど等しい。

【0041】これに対し、本実施形態のようにコンデンサ38の容量を所要の小さな値に設定すると、曲線Cに示すように従来の曲線Aよりも高周波域ほど減衰回路27による減衰量が增大するので、減衰量の周波数特性の平坦性を改善することができる。

【0042】図3は本発明の第2の実施形態に係るアッテネータ21Aの電子回路図である。このアッテネータ21Aは図1で示すアッテネータ21の第1~第5のPINダイオード22~25、39を第1~第5のFET 22a、23a、24a、25a、39aにそれぞれ置換した点に主な特徴を有する。

【0043】これらFET 22a~25a、39aは、ソースS側を接地したソース接地に構成され、例えばMESFET (Metal Semiconductor FET) やJFET (Junction FET) よりなり、バイアス電圧V_bと制御電圧V_cが印加されて駆動する電圧駆動であって、PINダイオード22~25、39と相違してこれらの電流I_B、I_Cは流さないのので、図1で示す入、出力側インピーダンス整合用の抵抗31、32と、高周波遮断用のチョークコイル42、43とバイパスコンデンサ36、37、41を省略することができるうえに、バイアス電圧V_b印加用の抵抗33、34、40を1つの抵抗46に削減することができ

(5)

特開2000-286659

7

8

る。

【0044】したがって、この実施形態のアッテネータ21Aによれば、上記図1で示すアッテネータ1と同様に信号ライン28に第5のFET39a等の高周波用可変抵抗素子を直列に挿入していないので、上記アッテネータ21とはほぼ同様の効果を有するうえに、部品数を大幅に削減して回路構成を簡単に行うことができる。また、バイアス電圧V_bを連続的に制御することにより、出力側のインピーダンス整合を細かく行なうことができる。また、減衰回路27aの第5のFET39aに印加されるバイアス電圧V_bを低くすることにより入力信号の減衰量の増大を図ることができる。

【0045】図4は本発明の第3の実施形態に係るアッテネータ21Bの電子回路図である。このアッテネータ21Bは、図1で示すアッテネータ21の減衰回路27を減衰回路27bに置換した点に特徴がある。

【0046】この減衰回路27bは制御用電源装置のコントロール端子45とチョークコイル44との間を2つの分圧抵抗47、48を介して接地し、この分圧抵抗47、48の共通接続点をチョークコイル49を介して第5のPINダイオード39のカソード側に接続し、コントロール端子45に印加される制御電圧V_bを分圧抵抗47、48により分圧して第5のPINダイオード39のカソードに印加するように構成した点に特徴がある。

【0047】したがって、このアッテネータ21Bによれば、上記図1で示すアッテネータ1と同様に信号ライン28に第5のPINダイオード39を直列に挿入していないので、このアッテネータ31とはほぼ同様の効果を有するうえに、減衰回路27の2つのチョークコイル42、43を一つのチョークコイル49に削減できるうえに、第5のPINダイオード39のアノード側に挿入される抵抗40を削減することができる。

【0048】図5は本発明の第4の実施形態に係るアッテネータ21Cの電子回路図である。このアッテネータ21Cは、図1で示すアッテネータ21の減衰回路27を減衰回路27cに置換した点に特徴がある。

【0049】この減衰回路27cは、図1や図4で示す第5のPINダイオード39の極性を逆にして第5のPINダイオード39cを構成し、この第5のPINダイオード39cのアノードとコンデンサ38との間をチョークコイル50を介してバイアス端子35に接続することにより、バイアス電圧を第5のPINダイオード39aのアノード側に印加し、このチョークコイル50とバイアス端子35との間をバイパスコンデンサ51を介して接地した点に特徴がある。

【0050】このアッテネータ21Cによれば、図1で示すアッテネータ1と上記図1で示すアッテネータ1と同様に信号ライン28に第5のPINダイオード39cを直列に挿入していないので、このアッテネータ21とはほぼ同様の効果を有する。また、第5のPINダイオ

ード39aに流れる電流は、図5中、その両側の第3、第4のPINダイオード24、25にそれぞれ流れる電流のほぼ倍の電流が流れるので、このPINダイオード39aの内部抵抗を1層小さくすることができ、その分、最大減衰量を増大させることができる。

【0051】

【発明の効果】以上説明したように本願請求項1の発明は、制御手段により各高周波用可変抵抗素子に印加される電圧または電流を連続的に制御すると、これら高周波用可変抵抗素子の内部抵抗が連続的に制御されるので、信号路を通る信号の減衰量が連続的に制御される。そして、信号路の入力端に入力された信号は、 π 形回路の高周波用可変抵抗素子により減衰されるうえに、減衰回路の高周波用抵抗素子によっても減衰されるので、最大減衰量を増大させることができる。

【0052】しかも、減衰回路の高周波用可変抵抗素子は信号路にシャント状に接続され、直列には挿入されていないので、挿入損失の増大を抑制することができる。

【0053】さらに、この減衰回路側のインピーダンスは π 形回路の高周波用可変抵抗素子直列回路側のインピーダンスよりも低いので、高周波的には殆ど無視することができる。このために、入出力のインピーダンス整合に悪影響を与えることが殆どない。

【0054】請求項2の発明によれば、請求項1の発明の作用効果に加えて、 π 形回路の高周波用可変抵抗素子直列回路側に対して並列になるようにインダクタンスをシャント状高周波可変抵抗素子側に設けているので、入力信号の高周波信号成分がシャント側高周波可変抵抗素子側にリークするのをインダクタにより防止しないし低減することができる。

【0055】請求項3の発明によれば、請求項1記載の発明の作用効果に加えて、インダクタにより入力信号の高周波信号成分のリークを防止しないし低減できるうえに、このインダクタは信号路に直列に挿入されていないので、挿入損失が増大するのを防止しないし低減できるうえに、このコンダクタは1個でよいので、コスト低減を図ることができる。

【0056】請求項4の発明によれば、請求項1ないし3のいずれかの発明の作用効果に加えて、減衰回路のキャパシタの容量を入力信号の減衰量の周波数特性を改善する小さい値に設定しているので、この減衰量の周波数特性を改善することができる。

【0057】請求項5の発明によれば、上記請求項1ないし4のいずれかの発明と同様の作用効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るアッテネータの電子回路図。

【図2】図1で示すアッテネータにおける減衰量の周波数特性を示すグラフ。

50

(5)

特開2000-286659

9

10

【図3】本発明の第2の実施形態に係るアッテネータの電子回路図。

【図4】本発明の第3の実施形態に係るアッテネータの電子回路図。

【図5】本発明の第4の実施形態に係るアッテネータの電子回路図。

【図6】従来の非共振 π 形アッテネータの電子回路図。

【符号の説明】

21, 21A~21C アッテネータ

22 第1のPINダイオード

23 第2のPINダイオード

* 24 第3のPINダイオード

25 第4のPINダイオード

26 π 形回路

27, 27a, 27b, 27c 減衰回路

28 信号ライン

29, 30 カップリングコンデンサ

31, 32 入出力側インピーダンス整合用抵抗

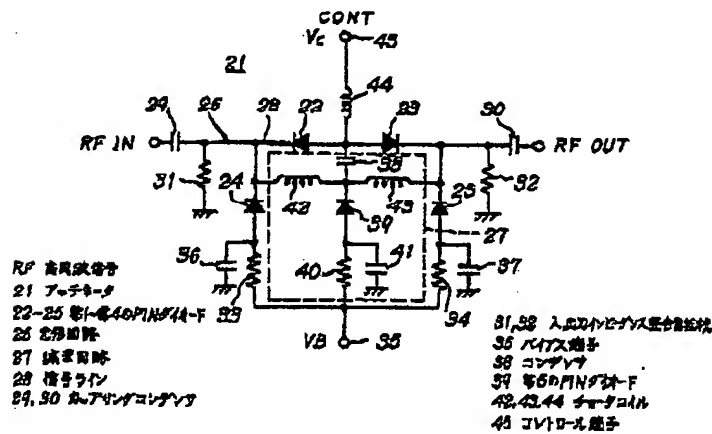
35 バイアス端子

38 コンデンサ

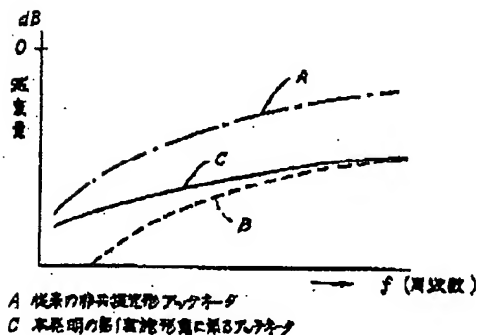
10 39, 39c 第5のPINダイオード

* 39a 第5のFET

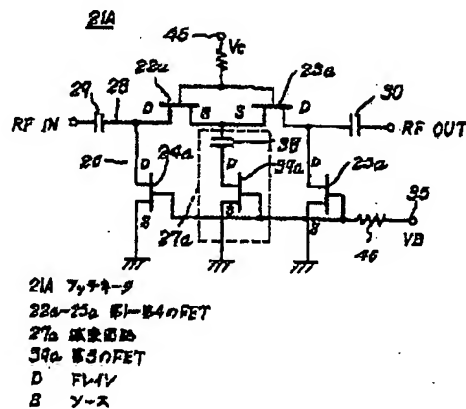
【図1】



【図2】



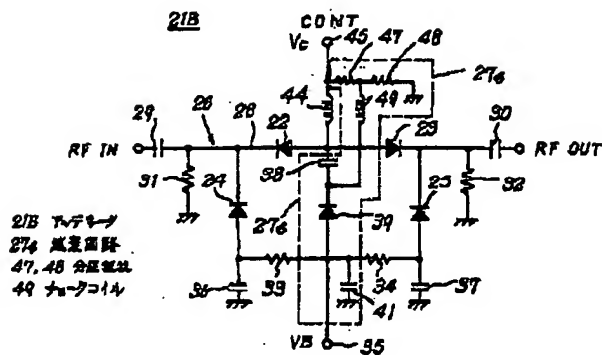
【図3】



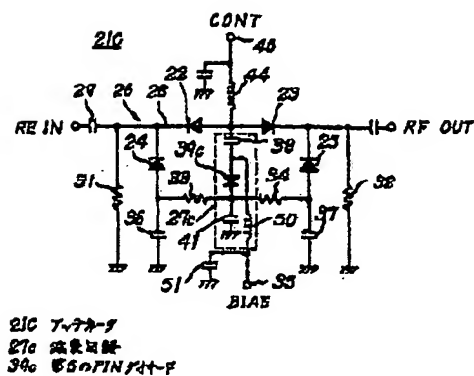
(7)

特開2000-286659

【図4】



【図5】



【図6】

